

**Family list**

**3 family members for: CN1134600**

Derived from 2 applications

**1 Method and apparatus for fabricating thin-film transistors**

**Inventor:** YAMAZAKI SHUNPEI (JP)

**Applicant:** SEMICONDUCTOR ENERGY LAB (JP)

**EC:**

**IPC:** H01L21/00; H01L21/336; H01L21/00 (+3)

**Publication info:** CN1134600 A - 1996-10-30

**2 MANUFACTURE OF THIN FILM TRANSISTOR AND PRODUCTION  
DEVICE THEREOF**

**Inventor:** YAMAZAKI SHUNPEI

**Applicant:** SEMICONDUCTOR ENERGY LAB

**EC:**

**IPC:** H01L21/20; H01L21/265; H01L21/336 (+7)

**Publication info:** JP3512547B2 B2 - 2004-03-29

**JP8250749 A** - 1996-09-27

---

Data supplied from the *esp@cenet* database - Worldwide

[19]中华人民共和国专利局

[11] 公开号 CN 1134600A



# [12] 发明专利申请公开说明书

[21]申请号 96104073.4

[51]Int.Cl<sup>6</sup>

H01L 21/00

[43]公开日 1996 年 10 月 30 日

[22]申请日 96.1.12

[30]优先权

[32]95.1.13 [33]JP[31]21012/95

[71]申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

[72]发明人 山崎舜平

[74]专利代理机构 中国专利代理(香港)有限公司

代理人 马铁良 萧掬昌

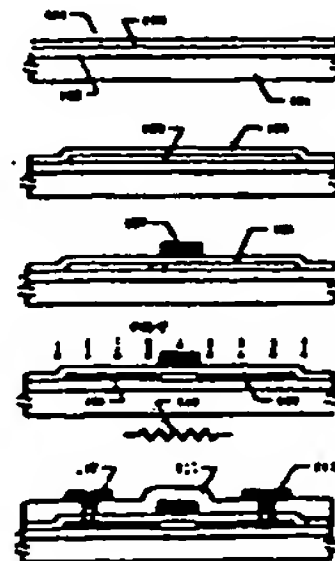
H01L 21/336

权利要求书 8 页 说明书 24 页 附图页数 9 页

[54]发明名称 制造薄膜晶体管的方法及设备

[57]摘要

用催化元素使硅膜在低温结晶,改善有源层岛的 TFT(薄膜晶体管)的特性和可靠性的方法。将催化元素、如镍、加入非晶硅膜中,然后将非晶膜热退火,使非晶膜在低于玻璃衬底形变点的温度下结晶。由此形成 TFT 的有源层。之后 n 或 p 型杂质注入有源层,同时将它加热到 100 至 400℃。由于有源层适当加热,立即治愈了离子注入损坏。并同时激活了杂质,而且既不存在缺陷也没有留下形变。



(BJ)第 1456 号

## 权 利 要 求 书

1. 一种制造薄膜晶体管的方法，包括以下工艺步骤：

在衬底的绝缘表面上形成非单晶半导体膜，所述半导体膜加有浓度为  $1 \times 10^{15}$  至  $1 \times 10^{19}$  原子/厘米<sup>3</sup>，能促进其结晶的催化元素，和

用所述掺杂剂杂质的加速离子与氢或卤素离子一起向带有所述已加热的衬底的所述半导体层注入，使掺杂剂杂质引入部分所述非单晶半导体层中，得到 *p* 导电型或 *N* 导电型。

2. 按权利要求 1 的方法，其特征是，所述催化元素的浓度规定为用二次离子质谱分析法分析所述半导体层获得的值的最小值。

3. 按权利要求 1 的方法、其特征是，在所述掺杂剂杂质的引入过程中，所述衬底温度保持在 100 至 400℃ 的温度范围内。

4. 按权利要求 1 的方法，其特征是，所述催化元素选自镍、铁、钴、铂和钯组成的金属集合。

5. 按权利要求 1 的方法，其特征是，在所述掺杂剂杂质引入过程中，所述衬底温度保持在 200 至 350℃ 的温度范围内。

6. 按权利要求 1 的方法，其特征是，按栅电极所处

的位置调节所述半导体膜的自对准方式引入所述杂质。

7.按权利要求 2 的方法，其特征是，所述半导体膜包括硅。

8.一种制造 TFT 的方法，包括下列工艺步骤：

在衬底上形成薄非单晶半导体膜，所述非单晶半导体膜包含浓度为  $1 \times 10^{15}$  至  $1 \times 10^{19}$  原子/厘米<sup>3</sup>，促进结晶的催化元素；

在所述非单晶半导体膜上形成栅电极；

在第一室内加热衬底；

制备可产生导电型  $n$  或  $p$  的杂质离子；和

之后，加速所述杂质离子，与氢离子或卤离子一起碰撞所述非单晶半导体，同时用装有不起作用的加热装置的第二室加热衬底。

9.按权利要求 8 的方法，其特征是，所述催化元素的浓度规定为用二次离子质谱分析法分析所述半导体膜获得的值的最小值。

10.按权利要求 8 的方法，其特征是，在所述掺杂剂杂质引入过程中，所述衬底温度保持在 100 至 400℃ 的温度范围内。

11.按权利要求 8 的方法，其特征是，所述催化元素选自由镍、铁、钴、铂和钯组成的金属集合。

12.按权利要求 8 的方法，其特征是，在所述掺杂剂杂质引入过程中，所述衬底温度保持在 200 至 350℃ 的温度范围内。

13.按权利要求 8 的方法,其特征是,以自对准的方式,相对于与所述半导体膜相邻的栅电极引入掺杂剂杂质。

14.按权利要求 9 的方法,其特征是,所述半导体膜包括硅。

15.一种制造 TFT 的方法,包括以下工艺步骤:

(1) 在衬底上形成基本上是非晶硅的膜;

(2) 形成包含促进结晶的催化元素的涂层,使所述涂层紧接所述硅膜的顶表面或底表面;

(3) 所述硅膜热退火,使所述催化元素扩散进所述硅膜,使所述硅膜结晶;

(4) 在所述结晶后的硅膜上形成所述 TFT 的栅电极;

(5) 制备使所述硅膜产生导电类型  $n$  或  $p$  的杂质离子;和

(6) 用栅电极作掩模,使所述衬底加热到  $100$  至  $400^{\circ}\text{C}$ ,将所杂质离子注入所述硅膜,形成低浓度杂质区。

16.按权利要求 15 的方法,其特征是,所述催化元素选自镍、铁、钴、铂和钯组成的金属集合。

17.按权利要求 15 的方法,其特征是,在步骤 (6) 中,或要开始步骤 (6) 之前,将衬底加热到  $200^{\circ}\text{C}$  至  $350^{\circ}\text{C}$ 。

18.一种用于制造 TFT 的设备,该 TFT 有衬底,在所

述衬底上形成的非单晶半导体导膜，在所述非单晶半导体膜上形成的栅电极，所述非单晶半导体膜包含浓度为  $1 \times 10^{15}$  至  $1 \times 10^{19}$  原子/厘米<sup>3</sup> 的促进结晶的催化元素，所述设备包括：

一个第一室，用于加热衬底；和

一个第二室，用于加速所述杂质离子，与氢离子或卤素离子一起碰撞所述非单晶半导体膜，所述第二室装有不起作用的加热装置，所述杂质离子产生导电类型  $n$  或  $p$ ，在离子碰撞中，所述第二室使所述衬底加热到  $100-400^{\circ}\text{C}$ 。

19. 一种用于制造 TFT 的设备，所述 TFT 有衬底，形成在衬底上的非单晶半导体膜，形成在所述非单晶半导体膜上的栅电极，所述非单晶半导体膜包含浓度为  $1 \times 10^{15}$  至  $1 \times 10^{19}$  原子/厘米<sup>3</sup> 或以上的促进结晶的催化元素，所述设备包括：

一个室，用于将杂质离子注入所述非单晶半导体膜中，使所述非单晶半导体膜产生导电类型  $n$  或  $p$ ；

包括在所述室内的一个加速装置，用于加速所述杂质离子，使其与氢离子或卤素离子一起碰撞所述衬底；和

包括在所述室内的加热装置，用于在所述离子碰撞中使所述衬底温度保持在  $100$  至  $400^{\circ}\text{C}$ 。

20. 一种制造 CMOS 晶体管的方法，该 CMOS 晶体管包括  $p$  沟道晶体管和  $n$  沟道晶体管，所述方法包括如

下工艺步骤:

形成一对包括结晶硅的半导体岛, 所述半导体岛加有促进其结晶的催化元素;

在所述衬底上形成绝缘膜, 所述绝缘膜覆盖所述半导体岛的整个表面;

每个半导体岛上形成栅电极;

用栅电极作掩模, 将磷离子引入每个所述半导体岛内;

用有机物掩模只覆盖所述半导体岛中的一个, 所述有机物掩模包括选自耐热光刻胶和耐热聚酰亚胺组成的材料组的材料; 和

用所述栅电极作掩模, 给另一个所述半导体岛引入硼离子, 而所述的一个半导体岛用所述有机物掩模覆盖,

其中, 在所述磷离子和硼离子引入中, 衬底保持在 100 至 400 °C 的温度范围内。

21. 按权利要求 20 的方法, 其特征是, 所述磷离子和所述硼离子与氢或卤元素一起引入。

22. 一种制造 CMOS 晶体管的方法, 该 CMOS 晶体管包括 p 沟道晶体管和 n 沟道晶体管, 所述方法包括以下工艺步骤:

形成一对包括结晶硅的半导体岛, 所述半导体岛添加了促进其结晶的催化元素;

在所述衬底上形成绝缘膜, 所述绝缘膜覆盖所述半



导体岛的整个表面；

每个半导体岛上形成栅电极，所述栅电极包含可阳极氧化材料；

为了在每个所述半导体岛上的所述栅电极的至少是侧表面上形成阳极氧化层，阳极氧化所述栅电极；

用所述阳极氧化层和所述栅电极作掩模，腐蚀每个所述半导体岛上的所述绝缘膜；

为了露出位于每个所述半导体岛上所述阳极氧化层下面的所述绝缘膜的上表面，腐蚀所述阳极氧化层，

用所述栅电极和所述绝缘膜作掩模，进行将磷离子引入每个所述半导体岛的第一离子引入；

用所述栅电极作掩模，并通过所述绝缘膜的露出部分，进行将磷离子引入每个所述半导体岛的第二离子引入；

用有机物掩模只覆盖一个所述半导体岛，所述掩模包括选自耐热光刻胶和耐热聚酰亚胺组成的材料组的材料；

用所述栅电极和所述绝缘膜作掩模，而所述掩模覆盖一个所述半导体岛，进行将硼离子引入另一半导体岛的第三离子引入；和

用所述栅极作掩模，并通过所述绝缘膜的露出部分，而所述掩模覆盖所述一个半导体岛，进行将硼离子引入另一半导体岛的第四离子引入，

其中，在第一、第二、第三和第四离子引入中。



的任何一次引入中、所述衬底保持在  $100-400^{\circ}\text{C}$  的温度。

23.按权利要求 22 的方法，其特征是，在第一、第二、第三和第四离子引入中的，同时引入氩或卤元素。

24.一种制造 CMOS 晶体管的方法，CMOS 晶体管包括  $p$  沟道晶体管和  $n$  沟道晶体管，所述方法包括以下工艺步骤：

形成一对包括结晶硅的半导体岛，所述半导体岛添加有促进其结晶的催化元素；

在所述衬底上形成绝缘膜，所述绝缘膜覆盖所述半导体岛的整个表面；

在每个所述半导体岛上形成栅电极，所述栅电极包含可阳极氧化的材料；

为了在每个所述半导体岛上的所述栅电极的至少是侧边上形成阳极氧化层，阳极氧化所述栅电极；

用所述栅电极和所述阳极氧化层作掩模，通过所述绝缘层，按第一剂量，进行将磷离子引入每个所述半导体岛的第一离子引入；

所述第一离子引入后，腐蚀所述阳极氧化层；

腐蚀所述阳极氧化层后，用所述栅电极作掩模，通过所述绝缘膜，按第二剂量，它小于所述第一剂量，进行将磷离子引入的第二离子引入；

用有机物掩模只覆盖一个所述半导体岛，所述掩模包括选自耐热光刻胶和耐热聚酰亚胺组成的材料组的材

料;

用所述栅电极作掩模, 通过所述绝缘膜, 而所述有机物掩模覆盖一个所述半导体岛, 进行将硼离子引入另一所述半导体岛的第三离子引入;

其中, 在所述第一、第二、第三和第四离子引入中的任何一次离子引入中, 所述衬底保持在 100 至 400 °C 的温度。

25. 按权利要求 24 的方法, 其特征是, 在所述第一、第二和第三离子引入中同时引入氢或卤元素。